

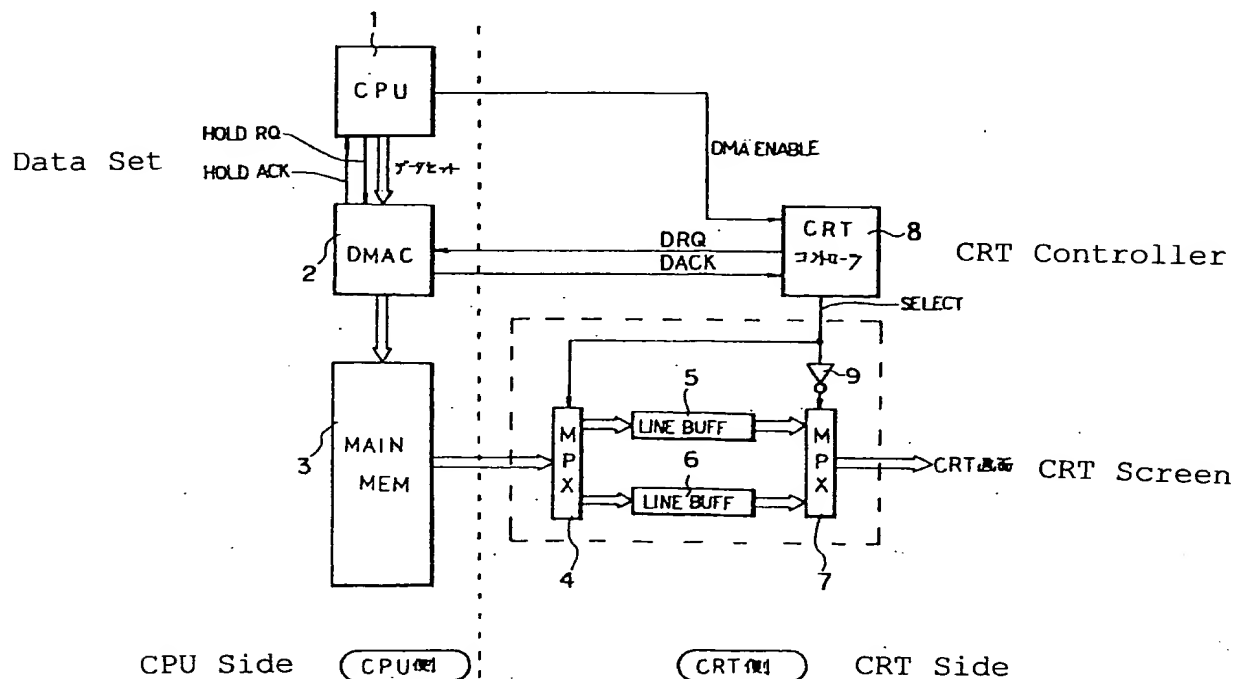
Title of Invention: CRT Display Control System
Publication Number: Japanese Patent Application Laid-open
Sho 57 No. 169790
Publication Date: October 19, 1982 Priority Country: Japan
Application Number: Japanese Patent Application Sho 56 No. 54292
Application Date: April 13, 1981
Applicant: Casio Computer Co., Ltd (0 ← number of other applicants)
Inventor: Yutaka HARUNA (0 ← number of other inventors)
Int. Cl³.: G 09 G 1/06

Configuration:

Fig. 1 shows an example of a circuit block diagram for a CRT display control system which uses a partial area of a main memory as a screen buffer memory as well as carrying out display performance while refreshing a CRT screen by way of DMA (Direct Memory Access) transferring system under control by a CRT controller. This apparatus comprises a plurality of line buffers which is separately disposed from the screen buffer memory on the CRT controller side while each line buffer is capable of storing a display data per one line, and a control means for writing in display data per a line by DMA transferring discretely from the screen buffer memory in the main memory while refreshing the CRT screen by reading out display data per one line from another line buffer. In Fig. 1, CPU 1 controls input process of the display data and write in thereof into the screen buffer memory disposed in the main memory 3 by way of the DMA controller 2. The display data per one line read out from the main memory 3 by DMA transfer is written either line buffer 5 or line buffer 6 by way of multiplexer 4. Subsequently, display data per one line in either the line buffer 5 or 6 is read out and provided to unillustrated character generator by way of multiplexer 7 and displayed on the CRT screen. As the CRT controller 8 receives DMA ENABLE signal, selection signal SELECT is output, which is directly fed to the multiplexer 4 while is fed to the multiplexer 7 by way of inverter 9. When,

for example, as the line buffer 5 would be selected and display data per one line would be DMA-transferred from the main memory 3, display data per one line which has been previously transferred into the line buffer 6 would be read out from the line buffer 6 and displayed on the CRT screen. Meanwhile, display data per one line from the main memory 3 would be DMA-transferred to the line buffer 6, display data per one line would be read out from the line buffer 5 and displayed on the CRT screen.

Fig. 1



⑬ 日本国特許庁 (JP)

⑭ 特許出願公開

⑫ 公開特許公報 (A)

昭57—169790

⑪ Int. Cl.³
G 09 G 1/06

識別記号

庁内整理番号
7923—5C

⑬ 公開 昭和57年(1982)10月19日

発明の数 1
審査請求 未請求

(全 5 頁)

⑭ CRT表示制御方式

①特 願 昭56—54292

②出 願 昭56(1981)4月13日

③発 明 者 春名豊

東大和市桜が丘2丁目229番地カ

シオ計算機株式会社東京工場内

④出 願 人 カシオ計算機株式会社

東京都新宿区西新宿2丁目6番
1号

⑤代 理 人 弁理士 山田靖彦

明 細 書

3. 発明の詳細な説明

1. 発明の名称

CRT表示制御方式

2. 特許請求の範囲

メインメモリの一部領域をスクリーンバッファメモリに兼用し、且つCRTコントローラの制御下にDMA (Direct Memory Access) 転送方式によりCRT画面をリフレッシュしながら表示動作を行うCRT表示システムにおいて、上記CRTコントローラ側において上記スクリーンバッファメモリとは別設され、且つ各々が1行分の表示データを記憶可能な複数本のラインバッファと、例れか1本のラインバッファに対し上記メインメモリ内のスクリーンバッファメモリから1行分の表示データを分散的にDMA転送して書込むと共に他の1本のラインバッファから1行分の表示データを読出してCRT画面をリフレッシュする制御手段とを具備していることを特徴とするCRT表示制御方式。

この発明はCRT表示制御方式に関する。

従来のCRT表示システムとして、メインメモリの一部領域をスクリーンバッファメモリとして使用し、またCRTコントローラ側に1本のラインバッファ (CRT画面1行分の表示文字データを記憶するメモリ) を設け、また上記メインメモリ内のスクリーンバッファメモリに1画面分の表示文字データが書込まれると、次いで該スクリーンバッファメモリから1行分ずつ表示データをCRTコントローラの制御下に、DMA転送方式により読出して上記ラインバッファに書込み、またこのラインバッファに書込んだ表示データをキャラクタジェネレータに与えてCRT画面をリフレッシュするものがある。

ところで上記ラインバッファに対する表示データのDMA転送処理時には、CPUは他の端末機器等に対する処理を実行せず、ホールド状態となっている。しかして上記システムの場合、ラインバッファが1本しか設けられていないために、リ

フレッシュ処理のためのDMA転送の頻度が高く、したがってCPUの効率が悪くなり、スループットが低下する欠点がある。

この発明は上述した事情を背景になされたもので、その目的とするところは、上記ラインバッファを複数本とすることにより、リフレッシュ処理をCRT画面表示処理とラインバッファへの表示データDMA転送処理とを分散して行え、したがってCPUの効率が従来より向上するようにしたCRT表示制御方式を提供することである。

以下図面を参照してこの発明の一実施例を説明する。第1図は回路ブロック図である。図中、CPU(中央処理装置)1は、例えばキー入力装置から入力される表示データの入力処理動作を制御し、DMAC(Direct Memory Access Controller)2を介しメインメモリ3内の一部領域に設けられたスクリーンバッファメモリに書き込ませる。DMAC2は上記メインメモリ3に送られた1画面分の表示データを1行分(例えば80文字とする)ずつDMA転送方式により読出し、これにより周

DRQの受付け信号HOLD ACKをDMAC2に出力する一方、CRTコントローラ8に対しDMAイネーブル信号DMA ENABLEを出力し、CRTコントローラ8の制御下におけるDMA転送動作を実行可能とさせる。またCRTコントローラ8は上記信号DMA ENABLEを受付けると選択信号SELECTを出力し、マルチプレキサ4に直接与える一方、マルチプレキサ7にインバータ9を介し与える。そして例えばラインバッファ5が選択されてメインメモリ3から1行分の表示データがDMA転送されるとときには、ラインバッファ6内に先にDMA転送された1行分の表示データが該ラインバッファ6から読出され、CRT画面上に表示される。他方、ラインバッファ6に対しメインメモリ3からの1行分の表示データがDMA転送されるときには、ラインバッファ5から1行分の表示データが読出されてCRT画面上に表示される。なお、図中、点線の左側はCPU側の構成を示し、また右側はCRT側を示している。

期的にCRT画面をリフレッシュするための回路である。即ち、メインメモリ3からDMA転送により読出された1行分の表示データはマルチプレキサ4を介しラインバッファ5またはラインバッファ6の何れかに書き込まれる。またラインバッファ5またはラインバッファ6内の1行分の表示データは次いで読出されてマルチプレキサ7を介しキャラクタージェネレータ(図示略)に与えられ、CRT画面上に表示される。

CRTコントローラ8は上述したCRT表示動作をCPU1の制御動作と切離して制御する回路であり、即ち、DMA転送動作の開始時にCRTコントローラ8はDMAC2に対しDMAリクエスト信号DRQを出力する。これに対しDMAC2は上記DMAリクエスト信号DRQの受付け信号DACKをCRTコントローラ8に対して出力し、同時にCPU1に対してはメインメモリ3に対するデータ書き込みを禁止(ホールド)するホールドリクエスト信号HOLD REQを出力する。そしてCPU1はホールドリクエスト信号HOLD

上記構成のCRT表示システムの表示動作を、次に第2図のタイムチャートを参照して説明すると、CPU1の制御下にキー入力装置からの表示データがメインメモリ3内のスクリーンバッファメモリに書き込まれ、次いでCRTコントローラ8がタイミング t_1 にてDMAリクエスト信号DRQを出力すると上記メインメモリ3内の1行目の表示データをCRT側にDMA転送し、CRT画面をリフレッシュする動作が開始する。即ち、上記タイミング t_1 にてCRTコントローラ8が信号DRQを出力するとDMACK2は信号DACK、HOLD REQを夫々、CRTコントローラ8またはCPU1に出力する。そしてCPU1は信号HOLD REQ、DMA ENABLEを夫々出力し、DMAC2またはCRTコントローラ8に与える。するとCRTコントローラ8は、例えばラインバッファ5にDMA転送される1行分の表示データを書込み、且つラインバッファ6から1行分の表示データをキャラクタージェネレータに与えCRT画面をリフレッシュさせるための選択信

号 SELECT を出力し、マルチプレキサ 4 に直接、またマルチプレキサ 7 にインバータ 9 を介し与える。これによりメインメモリ 3 から、1 行目の第 1 ラスタにおける 1~4 文字分の表示データが上記タイミング t_4 からラインバッファ 5 に DMA 転送され、また同時にラインバッファ 6 からは他の行の第 1 ラスタの 1~4 文字目の 4 文字分の表示データが読出されて CRT 画面に表示される。

上記タイミング t_4 における処理が終ると次のタイミング t_5 における DMA 転送処理までの間、CPU 1 は信号 DMA ENABLE を出力せず、DISABLE の状態にあり、他の端末機器等に対する処理を実行する。

次に例えばタイミング t_4 開始後から 40 マイクロ秒 (μs) 後のタイミング t_5 において次の信号 DRQ が CRT コントローラ 8 から出力すると、タイミング t_5 のときと同じ動作によつて DMA 転送処理が開始され、ラインバッファ 5 に 1 行目の第 1 ラスタの 5~8 文字目の 4 文字分の表示データが DMA 転送され、また同時にラインバッファ

6 からは他の行の第 1 ラスタの 5~8 文字目の表示データが読出されて表示される。

以下、同様にして 40 μs 毎に 1 回ずつ信号 DRQ が出力し、タイミング t_6, t_7, \dots, t_{20} にて 1 行目の第 1 ラスタの 9~12 文字目、13~16 文字目、……、77~80 文字目の各表示データが 4 文字分ずつ、ラインバッファ 5 に DMA 転送され、また同時にラインバッファ 6 からは他の行の第 1 ラスタの 4 文字分ずつの表示データが読出され、表示される。

このようにして 1 行が 80 文字である場合には、ラスタ 1 本については $40 \mu s \times 20 = 800 \mu s$ でラインバッファ 5 に対する DMA 転送が終了する。そして 1 行が 20 ラスタとすれば $800 \mu s \times 20 = 16 \text{ ミリ秒} (ms)$ でラインバッファ 5 に対する 1 行目の 1 行分 (80 文字) のすべての表示データが DMA 転送され、またこの動作に同期してラインバッファ 6 から 16 ms で 1 行分 (80 文字) の他の行の表示データが読出され、表示されることになる。

ラインバッファ 5 に対する 1 行分の表示データの DMA 転送が終ると、次の DMA 転送処理のタイミングから、CRT コントローラ 8 は、ラインバッファ 5 に上述のようにして分散的に DMA 転送された 1 行分の表示データを CRT 画面に表示させ、同時にラインバッファ 6 に対し 2 行目の表示データをメインメモリ 3 から DMA 転送させるための信号 SELECT を出力する。この結果、次のタイミングからは、ラインバッファ 6 に対し 2 行目の表示データ 1 行分を分散的に DMA 転送し、同時にラインバッファ 5 から先に DMA 転送した 1 行目の表示データ 1 行分を CRT 画面に表示させる処理が開始される。

そして以下は同様にして、1 行分の DMA 転送処理、リフレッシュ処理が終る毎に、CRT コントローラ 8 は信号 SELECT を切替えることによりラインバッファ 5 またはラインバッファ 6 の機能を切替え、ラインバッファ 5、ラインバッファ 6 に交互にメインメモリ 3 から 1 行分の表示データを分散的に DMA 転送し、同時にラインバ

ッファ 5、ラインバッファ 6 から交互に表示データ 1 行分を読出して CRT 画面をリフレッシュする動作が繰返される。

なお、上記実施例ではラインバッファを 2 本としたが、3 本以上 (複数本) であつてもよい。

この発明は以上説明したように、メインメモリの一部領域をスタックバッファメモリとして使用し、また CRT コントローラ側に複数本のラインバッファを設けると共に、CRT 画面のリフレッシュのために上記メインメモリ内のスタックバッファメモリからラインバッファに対し表示データを 1 行分ずつ DMA 転送する際において、あるラインバッファに 1 行分の表示データを分散的に DMA 転送しているときには、同時に他のラインバッファから 1 行分の表示データを読出して CRT 画面をリフレッシュし、またあるラインバッファに 1 行分の表示データが DMA 転送終了すると、次に他のラインバッファに対する 1 行分の表示データを分散的に DMA 転送開始し、同時に既に 1 行分の表示データが DMA 転送されている別

のラインバッファからその1行分の表示データを
読出し開始してCRT画面をリフレッシュ開始す
るようにしたCRT表示制御方式を提供したから、
ラインバッファが1本である従来のCRT表示シ
ステムに比してリフレッシュ処理が分散して行え、
したがってCPUの効率が大幅に向上する利点がある。

4. 図面の簡単な説明

第1図はこの発明の一実施例の回路ブロック図、
第2図はDMA転送処理動作を説明するタイムチャ
ートである。

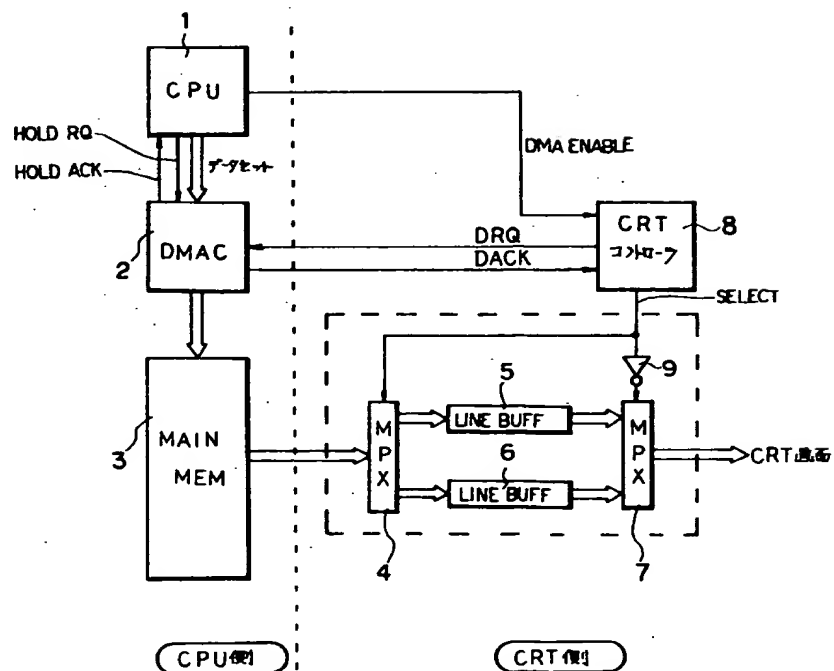
1……CPU、2……DMAコントローラ、3
……メインメモリ、5、6……ラインバッファ、
8……CRTコントローラ。

特許出願人 カシオ計算機株式会社

代理人 弁理士

山田 靖 章

第1図



第 2 図

